

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-262493

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 M
21/336				6 1 6 U

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-68352

(22) 出願日 平成7年(1995)3月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渋谷 誠

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72) 発明者 カッカド ラメシュ

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72) 発明者 本城 益司

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(74) 代理人 弁理士 樺澤 襄 (外2名)

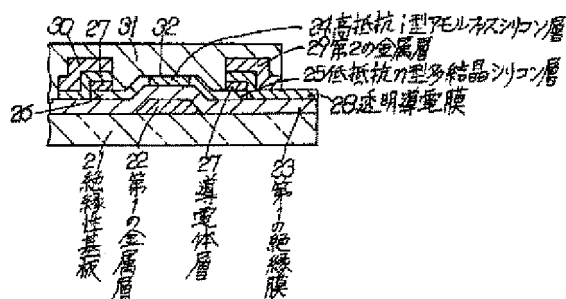
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 自己整合型で製造工程を簡略化するとともに、オン特性を低下させない液晶表示装置を提供する。

【構成】 ガラス基板21にゲート電極22、酸化シリコン(SiO₂)のゲート絶縁膜23を形成する。ゲート絶縁膜23のゲート電極22の上方に、高抵抗1型アモルファスシリコン層24を形成するとともに、ソース領域およびドレイン領域の低抵抗n型多結晶a-Si層25、26を形成する。低抵抗n型多結晶a-Si層25、26上に、5族元素のアンチモンの導電体層27を介して、表示画素電極を構成する透明導電膜28を形成する。低抵抗n型多結晶a-Si層25、26上に、ソース電極29、ドレイン電極30を形成し、保護絶縁膜31を形成して、薄膜トランジスタ32を形成する。



1

【特許請求の範囲】

【請求項1】 絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗i型アモルファスシリコン層、前記第1の絶縁膜上の前記高抵抗i型アモルファスシリコン層に隣接する領域に形成された5族元素を含む低抵抗n型多結晶シリコン層、この低抵抗n型多結晶シリコン層上の一部にその一端が前記低抵抗n型多結晶シリコン層の端面に対応して形成された前記5族元素を含む導電体層、該導電体層に少なくとも一部が積層して形成されたITOからなる透明導電膜、この透明導電膜に一部が積層して形成された第2の金属層、および、これらの上面に形成された第2の絶縁膜を有する薄膜トランジスタと、
前記透明導電膜および前記第2の金属層の二層により構成された前記薄膜トランジスタのドレイン電極に対応するドレイン配線およびソース電極と、
前記透明導電膜にて形成された前記薄膜トランジスタに対して設けられた表示画素電極とを具備したことを特徴とする液晶表示装置。

【請求項2】 絶縁性基板の一主面上に第1の金属層パターンを形成する工程と、
この第1の金属層パターンを含む絶縁性基板上に第1の絶縁膜と高抵抗i型アモルファスシリコン層を成膜する工程、この高抵抗i型アモルファスシリコン上に5族元素を含む導電体層を成膜する工程、前記絶縁性基板の他主面側からレーザ光を照射し前記第1の金属層パターンで遮光されない領域の前記高抵抗i型アモルファスシリコン層を多結晶シリコン化すると同時に前記5族元素をドーピングし低抵抗n型多結晶シリコン層を形成する工程、前記導電体層、前記低抵抗n型多結晶シリコン層および前記高抵抗i型アモルファスシリコン層をパターンニングする工程、前記導電体層の少なくとも一部に積層してITOの透明導電膜を成膜する工程、この透明導電膜上に第2の金属層を成膜する工程、この第2の金属層および前記透明導電膜をパターンニングする工程、前記導電体層を前記第2の金属層および前記透明導電膜のパターンをマスクとして除去する工程を有するアレイ基板を製造する工程と、
絶縁性基板の一主面に透明導電膜を形成する工程を含む対向基板を製造する工程と、
これらアレイ基板および対向基板を対向させて貼り合わせる工程とを具備することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタを用いたアレイ基板を有する液晶表示装置に関する。

【0002】

2

【従来の技術】 近年、アクティブマトリクス型の液晶表示装置は、クロストークのない高コントラスト比の表示が可能のため、大画面、高精細ディスプレイの開発および製品化が行なわれている。特に、透明絶縁性基板上に薄膜トランジスタ (Thin Film Transistor) あるいは金属-絶縁体-金属構造の非線形抵抗素子 (Metal Insulator Metal) をスイッチング素子として設けた直視透過型ディスプレイへの展開が盛んである。そして、大面積基板への形成が容易であるなどの理由から、薄膜トランジスタの半導体層としてアモルファスシリコン (a-Si) を用いるものが多い。

【0003】 そして、現在ではa-Siの薄膜トランジスタを用いた対角10インチ級の直視透過型の液晶表示装置が製品化され、大画面、高精細化への開発が盛んになっているとともに、液晶表示装置の製造コストを低減するために、薄膜トランジスタを有するアレイ基板の製造プロセスを簡略化するための開発も盛んになっている。

【0004】 まず、大画面、高精細液晶表示装置を実現するためには、薄膜トランジスタのゲート電極とソース電極およびドレイン電極との間の寄生容量を低減させることが必要であり、この要求に応えるためにたとえば特開昭63-158875号公報に記載の構成が知られている。

【0005】 この特開昭63-158875号公報に記載の構成は、たとえば図8に示すように構成されている。

【0006】 すなわち、この図8に示す従来のアレイ基板は、ガラス基板1の一主面にゲート電極2を形成し、このゲート電極2を含むガラス基板1上にゲート絶縁膜3を形成する。また、このゲート絶縁膜3上に、ソース領域の低抵抗n型a-Si層4aおよび金属シリサイド層5aの積層膜と、ドレイン領域の低抵抗n型a-Si層4bおよび金属シリサイド層5bの積層膜とが形成されているとともに、これらの間に高抵抗i型a-Si層6および絶縁膜7の積層膜が形成されている。

【0007】 さらに、ソース電極8およびドレイン電極9が形成され、薄膜トランジスタ10が形成されている。

【0008】 また、ソース電極8の一部が積層されたITO (Indium Tin Oxide) の表示画素電極11が形成されている。

【0009】 そして、薄膜トランジスタ10では、低抵抗n型a-Si層4aおよび金属シリサイド層5aのソース領域、および、低抵抗n型a-Si層4bおよび金属シリサイド層の5bドレイン領域がゲート電極2に対して自己整合的に形成されるため、ゲート電極2とソース電極8およびドレイン電極9との重なり容量が小さく抑えられる。

【0010】 また、この薄膜トランジスタ10では、ゲート電極2に対して自己整合的に形成した絶縁膜7をマス

3

クとして、高抵抗i型a-Si層6に不純物をドーピングして低抵抗n型a-Si層4a、4bを形成することで、ソース領域およびドレイン領域がゲート電極2に自己整合された構造を実現している。

【0011】さらに、低抵抗n型a-Si層4a、4bのみでは、ソース領域およびドレイン領域の抵抗値が高く薄膜トランジスタ10のオン特性を損なってしまうことに対して、低抵抗n型a-Si層4a、4bの上面に金属シリサイド層5a、5bを形成し、ソース領域およびドレイン領域の抵抗値も低減させている。

【0012】ところが、上記図8に示すような自己整合型の薄膜トランジスタ10では、基本的な動作には不必要である不純物のドーピングマスク用の絶縁膜7を成膜してパターニングすることが必要となり、薄膜トランジスタ10のアレイ基板の製造プロセスを煩雑にさせてしまう。

【0013】また、ドーピングマスク用の絶縁膜の形成を無くしてアレイ基板の製造プロセスの簡略化を図った自己整合型の薄膜トランジスタとしては、たとえば特開昭63-169767号に記載の構成が知られている。

【0014】この特開昭63-169767号公報に記載の構成は、たとえば図9に示すように構成されている。

【0015】この図9に示す液晶表示装置は、図8に示す液晶表示装置において、金属シリサイド層5a、5bの積層膜と、絶縁膜7を有さないものである。

【0016】そして、高抵抗i型a-Si層6まで形成した後、図10に示すように、フォスフィンガスなどの5族元素を含む雰囲気中でガラス基板1の他主面からレーザ照射し、ゲート電極2で遮光された領域以外の高抵抗i型a-Si層6に接する部分の5族元素を解離させ、この5族元素をドーピングすることで、ゲート電極2に自己整合された低抵抗n型a-Si層4a、4bからなるソース領域およびドレイン領域を形成している。

【0017】ところが、図8に示す従来例と同様に、低抵抗n型a-Si層4a、4bのみでは抵抗値が高すぎ、薄膜トランジスタのオン特性を損ねてしまう。このため、図8に示す従来例ではドーピングマスク用の絶縁膜7を金属シリサイド層5a、5bの形成時のマスクにも用い、選択的にソース領域およびドレイン領域上にのみ金属シリサイド層5a、5bを形成することが容易であった。しかし、図9に示す従来例では、この絶縁膜7がないため、ソース領域およびドレイン領域だけでなくチャネル領域の高抵抗i型a-Si層6上にも金属シリサイド層が形成されてしまい、ソース領域およびドレイン領域の分離ができなくなる。したがって、ソース領域およびドレイン領域上に金属シリサイド層を形成するためには、新たな工程を追加することが必要となる。

【0018】上述のように、従来の自己整合型の薄膜トランジスタは、薄膜トランジスタのオン特性を損なわ

4

いが製造工程数が多くなったり、あるいは、製造工程数を低減する薄膜トランジスタのオン特性を損ねている。

【0019】また、これら図8、および、図9および図10に示す実施例では、ITOなどの透明導電膜で表示画素電極11を形成し、この透明導電膜とは別の金属膜でソース電極8およびドレイン電極9を形成し、表示画素電極11およびソース電極8を電気的に接続している。

【0020】ところが、表示画素電極11を形成する透明導電膜の成膜およびパターニング工程と、ソース電極8およびドレイン電極9を形成する金属膜の成膜およびパターニング工程とが別々に必要であり、製造プロセスを煩雑にしている。

【0021】そこで、表示画素電極の形成工程と、ソース電極およびドレイン電極の形成工程とを合体させたアレイ基板としては、たとえば特開昭61-42961号公報に記載の構成が知られている。

【0022】この特開昭61-42961号公報に記載の構成は、たとえば図11に示すように構成されている。

【0023】図11に示すように、ゲート絶縁膜3上に第2のゲート絶縁膜12を形成し、この第2のゲート絶縁膜12上に、ソース領域およびドレイン領域を形成する低抵抗n型a-Si層4a、4bを形成し、この低抵抗n型a-Si層4a、4b上に、表示画素電極を形成する透明導電膜13と、ソース電極8およびドレイン電極9となる金属膜を連続的に成膜し、一回のパターニング工程で両膜をドレイン電極パターンとソース電極と一体の表示画素電極パターンとを形成することでアレイ基板の製造プロセスの簡略化を図っている。

【0024】しかしながら、この図11に示すアレイ基板では、低抵抗n型a-Si層4a、4bと表示画素電極が形成される透明導電膜13が直接接触する。そして、透明導電膜13にITOを用いた場合、ITO中のInが低抵抗n型a-Si層4a、4b中に拡散し、p型ドーパントであるInの影響でソース・ドレイン領域の抵抗が上昇し、薄膜トランジスタのオン特性が低下する。

【0025】

【発明が解決しようとする課題】上述のように、自己整合型の薄膜トランジスタについては製造プロセスの簡略化と薄膜トランジスタのオン特性の維持の両立が難しく、表示画素電極とソース電極およびドレイン電極との同時パターニングについては薄膜トランジスタのオン特性の維持が難しく、大画面、高精細であり、かつ、低製造コストであるアクティブマトリクス型の液晶表示装置の実現が難しい問題を有している。

【0026】本発明は、自己整合型で製造工程を簡略化するとともに、オン特性を低下させない液晶表示装置を提供することを目的とする。

【0027】

【課題を解決するための手段】請求項1記載の液晶表示

装置は、絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗 i 型アモルファスシリコン層、前記第1の絶縁膜上の前記高抵抗 i 型アモルファスシリコン層に隣接する領域に形成された5族元素を含む低抵抗 n 型多結晶シリコン層、この低抵抗 n 型多結晶シリコン層の一部にその一端が前記低抵抗 n 型多結晶シリコン層の端面に対応して形成された前記5族元素を含む導電体層、該導電体層に少なくとも一部が積層して形成されたITOからなる透明導電膜、この透明導電膜の一部が積層して形成された第2の金属層、および、これらの上面に形成された第2の絶縁膜を有する薄膜トランジスタと、前記透明導電膜および前記第2の金属層の二層により構成された前記薄膜トランジスタのドレイン電極に対応するドレイン配線およびソース電極と、前記透明導電膜にて形成され前記薄膜トランジスタに対応して設けられた表示画素電極とを具備したものである。

【0028】請求項2記載の液晶表示装置の製造方法は、絶縁性基板の一主面上に第1の金属層パターンを形成する工程と、この第1の金属層パターンを含む絶縁性基板上に第1の絶縁膜と高抵抗 i 型アモルファスシリコン層を成膜する工程、この高抵抗 i 型アモルファスシリコン上に5族元素を含む導電体層を成膜する工程、前記絶縁性基板の他主面側からレーザ光を照射し前記第1の金属層パターンで遮光されない領域の前記高抵抗 i 型アモルファスシリコン層を多結晶シリコン化すると同時に前記5族元素をドーピングし低抵抗 n 型多結晶シリコン層を形成する工程、前記導電体層、前記低抵抗 n 型多結晶シリコン層および前記高抵抗 i 型アモルファスシリコン層をパターンニングする工程、前記導電体層の少なくとも一部に積層してITOの透明導電膜を成膜する工程、この透明導電膜上に第2の金属層を成膜する工程、この第2の金属層および前記透明導電膜をパターンニングする工程、前記導電体層を前記第2の金属層および前記透明導電膜のパターンをマスクとして除去する工程を有するアレイ基板を製造する工程と、絶縁性基板の一主面に透明導電膜を形成する工程を含む対向基板を製造する工程と、これらアレイ基板および対向基板を対向させて貼り合わせる工程とを具備するものである。

【0029】

【作用】本発明は、ソース領域およびドレイン領域を低抵抗 n 型多結晶シリコンで構成することにより、低抵抗 n 型多結晶シリコン層に対して抵抗値を十分に低下させることができ、オン特性の低下を防止できるとともに、ソース領域およびドレイン領域とITO膜との間に低抵抗 n 型多結晶シリコン層を形成するために設けた5族元素を含む導電体層を介在させることでITOの透明導電膜からの I_n 拡散を回避できる。

【0030】

【実施例】以下、本発明の一実施例の液晶表示装置を図面を参照して説明する。

【0031】図1に示すように、絶縁性基板としてのガラス基板21の一主面にクロム(Cr)のゲート電極22を形成し、このゲート電極22を含むガラス基板21上に第1の絶縁膜である酸化シリコン(SiO)のゲート絶縁膜23を形成する。また、このゲート絶縁膜23のゲート電極22の上方に、高抵抗 i 型アモルファスシリコン(a-Si)層24が形成されるとともに、この高抵抗 i 型a-Si層24の両側にはソース領域の低抵抗 n 型多結晶a-Si層25およびドレイン領域の高抵抗 i 型アモルファスシリコン(a-Si)層24が形成されている。

【0032】また、低抵抗 n 型多結晶a-Si層25、26上には、5族元素であるアンチモン(Sb)からなる導電体層27を介して、表示画素電極を構成する透明導電膜28が形成されている。

【0033】さらに、この透明導電膜28を介した低抵抗 n 型多結晶a-Si層25、26上には、ソース電極29およびドレイン電極30が形成され、絶縁保護膜31が形成されて、薄膜トランジスタ32が形成されている。そして、図示しない配向膜などが形成されてアレイ基板が形成される。

【0034】一方、同様にガラス基板21の一主面上に共通電極および配向膜が形成されて対向基板が形成される。

【0035】そして、アレイ基板および対向基板を間隙を介して対向させ、この間隙に液晶を封入挟持して液晶表示装置を形成する。

【0036】次に、上記実施例の製造方法について図1ないし図7を参照して説明する。

【0037】まず、図2に示すように、ガラス基板21上にたとえば3000オングストロームの膜厚のCrを成膜した後、フォトリソグラフィ法を用いてゲート電極22を形成する。

【0038】次に、図3に示すように、ゲート電極22を含むガラス基板21上に、たとえば3000オングストロームの膜厚のSiOのゲート絶縁膜23を成膜し、500オングストロームの膜厚の高抵抗 i 型a-Si層35をプラズマCVD法で順次成膜し、さらに、たとえば500オングストロームの膜厚で5族元素であるアンチモン(Sb)からなる導電体層36をスパッタ法で成膜する。

【0039】さらに、図4に示すように、ガラス基板21の他主面側から、たとえばXeFガスをういたエキシマレーザ光を照射し、ゲート電極22で遮光されない領域の高抵抗 i 型a-Si層35を多結晶化するとともに、この領域のみにアンチモンをドーピングする。その結果、ゲート電極22上にはチャネル層となる高抵抗 i 型a-Si層24が残存し、この高抵抗 i 型a-Si層24に隣接した領域はのソース領域またはドレイン領域となる低抵抗 n

型多結晶a-Si層25、26が形成される。

【0040】そして、図5に示すように、フォトリソグラフィ法を用い導電体層36と低抵抗n型多結晶シリコン層25、26、高抵抗1型a-Si層24との2層を同一形状にパターンニングする。

【0041】また、図6に示すように、たとえば1000オングストロームのITOからなる透明導電膜37と、3000オングストロームのモリブデン(Mo)からなる第2の金属層38をスパッタ法で順次成膜する。

【0042】次に、図7に示すように、フォトリソグラフィ法を用い第2の金属層38と透明導電膜37とを同一形状でパターンニングし、これらのパターンあるいはパターンニングに用いたレジストをマスクとして、チャンネル上方に残存しているアンチモンからなる導電体層36をエッチング除去する。

【0043】最後に、図1に示すように、たとえば3000オングストロームのSiNからなる保護絶縁膜31をプラズマCVD法で成膜し、フォトリソグラフィ法を不要部分の保護絶縁膜31を除去する。この際、透明電膜28の表示画素電極部分の保護絶縁膜も除去し、このパターンのあるいはパターンニングに用いたレジストをマスクとして、透明導電膜上の金属層もエッチング除去し、透明導電膜を露出させる。このようにして形成されたアレイ基板と、共通電極が形成された対向基板とを貼り合わせ、液晶を注入し液晶表示装置として完成する。

【0044】このような工程を経て構成された液晶表示装置では、ドーピングマクス用絶縁膜を設けることなく、かつ、ソース領域およびドレイン領域の抵抗が十分に低い自己整合型の薄膜トランジスタを形成できるとともに、表示画素電極とソース電極およびドレイン電極との同時パターンニングを行なった場合でも、ソース領域およびドレイン領域の抵抗上昇を引き起こすことがなく、大画面、高精細であり、製造プロセスが簡略化されたアクティブマトリクス型の液晶表示装置を形成できる。

【0045】なお、導電体層27は5族元素を単に含むものに限らず、5族元素自体でも同様の効果を得ることができる。

【0046】

【発明の効果】本発明によれば、ソース領域およびドレイン領域を低抵抗n型多結晶シリコンで構成することにより、低抵抗n型多結晶シリコン層に対して抵抗値を十分に低下させることができ、オン特性の低下を防止できるとともに、ソース領域およびドレイン領域とITO膜

との間に低抵抗n型多結晶シリコン層を形成するために設けた5族元素を含む導電体層を介在させることでITOの透明導電膜からのIn拡散を回避でき、自己整合型で製造工程を簡略化するとともに、オン特性を維持できる。

【図面の簡単な説明】

【図1】本発明の一実施例のアクティブマトリクス型の液晶表示装置に用いるアレイ基板を示す断面図である。

【図2】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の一製造工程を示す断面図である。

【図3】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の図2に示す次の製造工程を示す断面図である。

【図4】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の図3に示す次の製造工程を示す断面図である。

【図5】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の図4に示す次の製造工程を示す断面図である。

【図6】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の図5に示す次の製造工程を示す断面図である。

【図7】同上アクティブマトリクス型の液晶表示装置に用いるアレイ基板の図6に示す次の製造工程を示す断面図である。

【図8】従来例のアクティブマトリクス型の液晶表示装置を示す断面図である。

【図9】他の従来例のアクティブマトリクス型の液晶表示装置を示す断面図である。

【図10】同上アクティブマトリクス型の液晶表示装置の一製造工程を示す断面図である。

【図11】他の従来例のアクティブマトリクス型の液晶表示装置を示す断面図である。

【符号の説明】

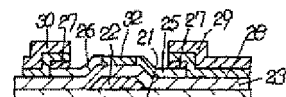
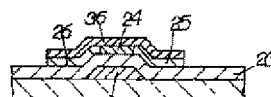
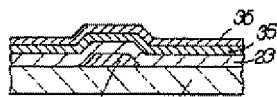
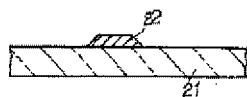
- 21 絶縁性基板としてのガラス基板
- 22 第1の金属層としてのゲート電極
- 23 第1の絶縁膜としてのゲート絶縁膜
- 24 高抵抗1型アモルファスシリコン(a-Si)層
- 25 低抵抗n型多結晶シリコン(a-Si)層
- 26 表示画素電極からなる透明導電膜
- 27 第2の金属層からなるソース電極
- 28 第2の金属層からなるドレイン電極

【図2】

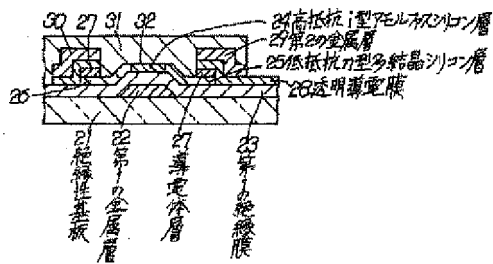
【図3】

【図5】

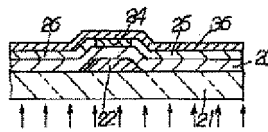
【図7】



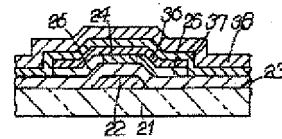
【図1】



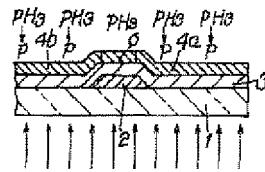
【図4】



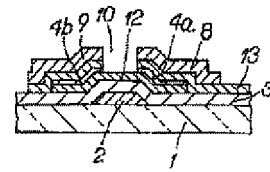
【図6】



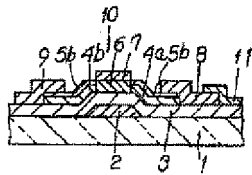
【図10】



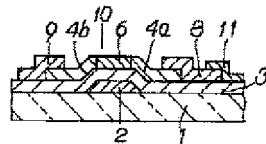
【図11】



【図8】



【図9】



フロントページの続き

(72)発明者 三浦 靖憲

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 神内 紀秀

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内